

# MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP7099324

Publication date: 1995-04-11

Inventor: ADACHI HIROKI; GOTOU YUUGO; TAKAYAMA TORU;  
MIYANAGA SHOJI; OTANI HISASHI; CHIYOU  
KOUYUU; TAKEMURA YASUHIKO

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- international: H01L21/20; H01L21/02; H01L21/324; H01L21/336;  
H01L27/12; H01L29/78; H01L29/786; H01L21/02;  
H01L27/12; H01L29/66; (IPC1-7): H01L29/786;  
H01L21/20; H01L21/324; H01L21/336; H01L27/12

- European:

Application number: JP19940197514 19940730

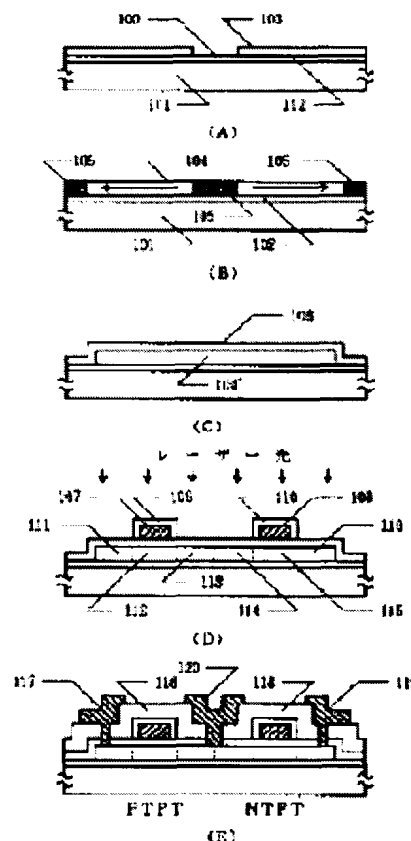
Priority number(s): JP19940197514 19940730; JP19930209055 19930731

Report a data error here

## Abstract of JP7099324

**PURPOSE:** To suppress the shrinkage in the subsequent heat treatment of glass substrate itself by annealing a glass substrate at a temperature upper than the distortion point (a distortion temperature) of the glass substrate and slowly cooling the glass substrate up to a temperature lower than the distortion point.

**CONSTITUTION:** A substrate 101 is annealed at a temperature higher than a distortion point, and slowly cooled at the speed of 2 deg.C/min or less up to a temperature lower than the distortion point. The substrate 101, to which such treatment is carried out, is washed, and a foundation film 102 consisting of silicon oxide is formed. A mask 103 is patterned, and a region 100, from which the foundation film 102 is exposed selectively, is shaped. A silicon film 104 is patterned, and the insular active layer 104 deg. of a TFT is formed. Impurities giving a P or N conductivity type are added into an active layer region in a self-alignment manner while using a gate electrode section as a mask. Accordingly, N-type impurity regions 114 and 116 and P-type impurity regions 111 and 113 are shaped, and the region of a P-channel TFT (PTFT) and the region of an N-channel TFT (NTFT) can be formed.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-99324

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/336				
21/20		8122-4M		
21/324	Z			
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
審査請求 有 請求項の数 7 F D (全 16 頁) 最終頁に続く				

(21) 出願番号 特願平6-197514

(22) 出願日 平成6年(1994)7月30日

(31) 優先権主張番号 特願平5-209055

(32) 優先日 平5(1993)7月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 安達 広樹

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 後藤 裕吾

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

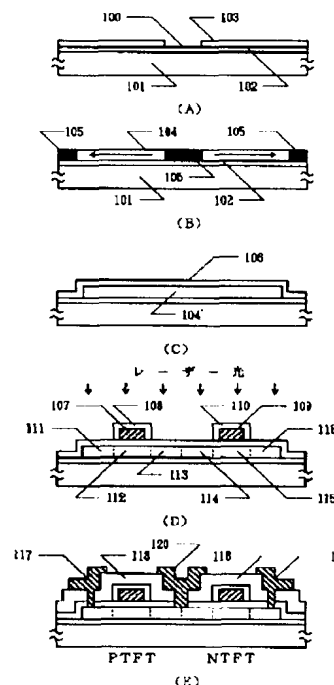
最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【目的】 特性の優れた薄膜半導体素子を歩留り良く得る。

【構成】 基板としてコーニング7059等のガラス基板を用い、基板をその歪み温度（歪み点）以上の温度でアニールをしたのち、その温度から歪み点以下の温度まで徐冷する。その後、下地膜を形成してTFT等の薄膜半導体素子を作製する。基板の歪み点以上の温度でのアニールと徐冷によって、基板はその後の熱処理において収縮が少なく、その結果、TFTの活性層や下地膜にクラック等が発生する確率が低下し、歩留りが向上する。さらに半導体の結晶化を促進させ、良好な特性が得られる。



【特許請求の範囲】

【請求項1】 ガラス基板をその歪み点以上の第1の温度で熱アニールする第1の工程と、前記第1の温度から2℃/分以下の速度で歪み点以下の第2の温度まで徐冷する第2の工程と、基板上に下地膜を形成する第3の工程と、第1の温度を越えない第3の温度にて、基板を処理する第4の工程と、を有する半導体装置の作製方法。

【請求項2】 ガラス基板をその歪み点以上の第1の温度で熱アニールする第1の工程と、前記ガラス基板上に下地膜を形成する第2の工程と、前記第1の温度から2℃/分以下の速度で歪み点以下の第2の温度まで徐冷する第3の工程と、前記下地膜上に非晶質珪素膜と、前記非晶質珪素膜の上もしくは下に非晶質珪素膜の結晶化を促進せしめる触媒元素を選択的に形成する第4の工程と、該非晶質珪素膜の結晶化温度の上下30℃の温度にて、基板を熱アニールする第5の工程と、を有する半導体装置の作製方法。

【請求項3】 ガラス基板をその歪み点以上の第1の温度で熱アニールすることによって1000ppm以上収縮させる第1の工程と、前記ガラス基板上に下地膜を形成する第2の工程と、前記下地膜上に非晶質珪素膜と、前記非晶質珪素膜の上もしくは下に非晶質珪素膜の結晶化を促進せしめる触媒元素を選択的に形成する第3の工程と、熱アニールすることによって、前記触媒元素の選択的に形成された領域から前記非晶質珪素膜を結晶化させる第4の工程と、を有する半導体装置の作製方法。

【請求項4】 請求項1において、第4の工程において、非晶質結晶膜の結晶化をおこなうことを特長とする半導体装置の作製方法。

【請求項5】 請求項1において、少なくとも1つのパターニング工程が第3の工程と第4の工程の間にあることを特長とする半導体装置の作製方法。

【請求項6】 請求項1において、結晶化された珪素膜中には結晶化を助長させる金属元素が意図的に添加されたことを特長とする半導体装置の作製方法。

【請求項7】 請求項1乃至3において、下地膜はプラズマCVD法によって形成された酸化珪素、窒化珪素、窒化アルミニウムまたはそれらの多層膜であることを特長とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ガラス等の絶縁基板、あるいは各種基板上に形成された半導体装置、例えば、薄膜トランジスタ(TFT)や薄膜ダイオード(TFD)、またはそれらに応用した薄膜集積回路、特にアクティブ型液晶表示装置(液晶ディスプレイ)用薄膜集積回路の作製方法に関するものである。

【0002】

【従来の技術】 近年、ガラス等の絶縁基板上にTFTを有する半導体装置、例えば、TFTを画素の駆動に用いるアクティブ型液晶表示装置やイメージセンサー等が開発されている。ガラス基板としては、ガラス基板中からの不純物の析出の問題、価格の問題等からソーニング7059ガラスが一般に用いられる。この7059ガラスの転移点温度は、628℃であり、歪み点は593℃である。他の、歪み点が550～650℃の実用的な工業用ガラス材料としては表1に示されるものが知られている。

【0003】

【表1】

		7059D(CGW)	7059P(CGW)	1733 (CGW)	LE30(HOYA)
歪み点 (°C)		593	593	640	625
熱膨張係数 ( $\times 10^{-7}$ )		50.1	50.1	36.5	38.0
透過率 (%)		89.5 (400nm)	89.5 (400nm)	91.9 (400nm)	90.0 (450nm)
組成	SiO <sub>2</sub>	49	49	57	60
	Al <sub>2</sub> O <sub>3</sub>	10	10	16	15
	B <sub>2</sub> O <sub>3</sub>	15	15	11	6
	R <sub>2</sub> O			0.1	2

		TRC5(OHARA)	E-8(OHARA)	N-O(NEG)	OA2 (NEG)
歪み点 (°C)			643		625
熱膨張係数 ( $\times 10^{-7}$ )		52.0	37.0	-7.0	38.0
透過率 (%)		N. A.	91.0 (450nm)	N. A.	90.0 (450nm)
組成	SiO <sub>2</sub>		59		60
	Al <sub>2</sub> O <sub>3</sub>		15		15
	B <sub>2</sub> O <sub>3</sub>		7		6
	R <sub>2</sub> O		1		2

		AN1(AGC)	AN2(AGC)	NA35(HOYA)	NA45(HOYA)
歪み点 (°C)		625	616	650	610
熱膨張係数 ( $\times 10^{-7}$ )		44.0	47.0	39.0	48.0
透過率 (%)		90.0 (500nm)	89.8 (500nm)	N. A.	N. A.
組成	SiO <sub>2</sub>	56	53		51
	Al <sub>2</sub> O <sub>3</sub>	15	11		11
	B <sub>2</sub> O <sub>3</sub>	2	12		13
	R <sub>2</sub> O	0.1	0.1		0.1

【0004】これらの装置に用いられるTF Tには、薄膜状の珪素半導体を用いるのが一般的である。薄膜状の珪素半導体としては、非晶質珪素半導体 (a-Si) からなるものと結晶性を有する珪素半導体からなるものの2つに大別される。非晶質珪素半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられているが、導電率等の物性が結晶性を有する珪素半導体に比べて劣るため、今後より高速特性を得る為には、結晶性を有する珪素半導体からなるTF Tの作製方法の確立が強く求められていた。尚、結晶性を有する珪素半導体としては、多結晶珪素、微結晶珪素、結晶成分を含む非晶質珪素、結晶性と非晶質性の中間の状態を有するセミアモルファス珪素等が知られている。

【0005】これら結晶性を有する薄膜状の珪素半導体を得る方法としては、非晶質の半導体膜を成膜しておき、長時間、熱エネルギーを印加（熱アニール）するこ

とにより結晶性を有せしめるという方法が知られている。しかしながら、加熱温度として600℃以上の高温にすることが必要であり、そのため、基板が不可逆的に収縮することが問題となっていた。特にパターンニング工程後において、かような高温での処理をおこなうことは不可能であった。また、結晶化に要する加熱時間が数十時間以上にも及ぶので、その時間を短くすることも必要である。

【0006】このような問題点に関し、最近、結晶化を促進する触媒としての効果を有するある種の金属元素を添加することによって、結晶化温度を低下させ、また、結晶化時間を短縮できることがわかった。このような目的に用いられる結晶化を助長させる金属元素（触媒性金属元素）としてはFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Agがその効果を確かめられている。

【0007】これらの元素は珪素膜の全面にわたって、均等に導入すると、結晶成長が膜に対して垂直、すなわち膜厚の方向に生じるのに対し、珪素膜の特定の部分に導入して、結晶化をおこなうと導入された部分を出発点として周囲に結晶化領域が拡大する特性（横方向成長性）があり、このようにして結晶化した珪素膜は、触媒性金属元素を均等に導入したものに比較して高い電界効果移動度を示した。

【0008】しかしながら、このように選択的に触媒性金属元素を導入するには、結晶化の熱アニール工程の前にパターンニングをおこなわなければならない、上述の基板の収縮によって触媒性金属元素の導入のパターンが他の素子・回路のパターンと著しくずれてしまうことがあった。図4には、このような手段を用いてTFTを作製する場合の例を示す。図4（A）の点線で書かれた領域402、403はそれぞれ、活性層（珪素膜）とゲイト電極が本来パターンニングされるべき一を示す。実線で示された長方形の領域401は触媒性金属元素の導入されるパターンである。

【0009】この工程によって、触媒性金属元素を導入した後、熱アニールをおこなうと、図4（B）の楕円で示された領域404が結晶化する。すなわち領域404は横方向結晶領域である。この楕円の大きさは触媒性金属元素の濃度や熱アニール時間・温度に依存する。図4（B）に示すように、ゲイト電極や活性層が本来あるべき位置に形成されれば、TFTのチャネル形成領域は横方向結晶領域内に形成されるので何ら問題はなかった。しかしながら、実際には熱アニール工程によって基板が収縮するために、ゲイト電極と活性層は、それぞれ405、406に示されるように形成され、領域404とチャネル形成領域が重ならない。すなわち、チャネル形成領域のうち、斜線部407で示した領域が非晶質のままとなる。当然の結果としてTFTの特性は著しく悪くなる。

【0010】このように基板の収縮のために、高い温度での処理をおこなう前にパターンニングをおこなうことは非常な困難を極めた。この場合の高い温度は基板の種類によって異なるが、比較的、良く用いられるコーニング社製7059番のガラスでは500℃以上の温度である。

【0011】

【発明が解決しようとする課題】本発明は、上記の問題を解決する手段を提供するものである。より具体的には基板の収縮を抑制する手段を開示するとともに、より歩留りが高く特性の良い半導体回路・素子を得る手段を提供する。

【0012】

【課題を解決するための手段】本発明は、ガラス基板をその歪み点（歪み温度）以上、好ましくはガラス転移点以上の温度において熱アニールし、その後、2℃/分以

下、好ましくは0.5℃/分以下、より好ましくは0.3℃/分以下の速度で、歪み点以下の温度まで徐冷することによって、ガラス基板自体のその後の熱処理における収縮を抑制する。降温速度は基板の種類によって変動する。一般に降温速度が低いほど良好な特性が得られるが、降温速度を遅くすると、処理時間が長くなり、量産性が低下する。したがって、降温速度の選択にあたっては、処理時間と必要とする特性を考慮しなければならない。この熱処理は酸化性もしくは窒化性の雰囲気でおこなってもよい。

【0013】さらに、このように処理した基板上に適切な下地膜を形成した後、非晶質珪素膜を形成し、その結晶化をおこなう。なお、下地膜としては、酸化珪素膜、窒化珪素膜、窒化アルミニウムまたはこれらを2層以上重ねた多層膜を用いるとよい。上記のような熱アニールをおこなうには、以下に示すような方法によればよい。

図8に示すのは、本発明に用いる加熱炉の例を示すものであり、石英製の反応管11、基板保持手段（基板ホルダー）12、水平に配置された基板13が示されている。また、図には示されていないが、この装置は外部から反応管11を加熱するためのヒーターが備えられている。また、反応管内に所定のガスを供給する手段、基板保持手段を反応管から外部に移動させる手段を備えている。

【0014】図8には、基板保持部分12にガラス基板13が水平に保持されている状態が示されている。ここでは、ガラス基板を水平に保持すると、基板が撓み、その平面性が損なわれることを防ぐ上で効果があった。このような構成は、ガラス基板に歪み点以上の温度が加わる工程が必要とされる場合に有用である。また、その後の珪素膜の結晶化、活性化等の熱アニール工程においても、上記のような構成とするとよい。

【0015】また、上記前熱処理後に行なわれる成膜、結晶成長、酸化、活性化等に必要加熱処理においては、加熱後10℃/分～300℃/分の速度で急冷することが重要である。特にガラス材料の歪み点付近の1100℃においては、上記の速度で急冷するとガラス材料の伸縮を抑制することができた。例えば、コーニング7059ガラスでは493～693℃での処理温度が必要なプロセスにおいては、493℃までは、少なくとも急冷することが、さらなる縮み（場合によっては伸び）を30ppm以下に抑える上で有効である。

【0016】

【作用】ガラス基板は、加熱することによって縮む、特に加熱終了後にゆっくりと冷却すると、極めて大きく縮むと同時にガラス基板内での局所的な応力が緩和される。その結果、大きく縮ませれば縮ませる程、後の加熱工程における基板の縮みは小さくなる。また、この加熱処理温度が高い程、その効果も大きくなる。したがって、その後、再び熱処理をおこなっても、ガラス基板の

応力が緩和されているので、それ以上、縮んだり、そったりする余地は小さい。さらに、結晶化アニール等の後の熱処理工程において、加熱温度から急冷した場合、本発明の熱アニール処理を施したガラス基板はほとんど縮まないことが判明した。

【0017】例えば、コーニング7059基板（歪み点593℃）では、640℃、4時間の熱アニール後に、0.2℃/分の速度で550℃まで徐冷してから取り出した基板は、この熱アニールと徐冷の前後で1900ppmも収縮するが、その後は収縮することはほとんどなく、例えば、550℃、8時間の熱処理をおこなっても20ppmの収縮しか発生せず、600℃、4時間の熱処理によっても70ppmしか収縮しなかった。最初の熱アニール温度（この場合は640℃）を越えない温度で、その後に熱処理をおこなう範囲では使用に差し支え

るような収縮はなかったが、好ましくは歪み点以下の温度での使用がよい。すなわち、コーニング7059基板では593℃以下の温度で熱処理（結晶化アニール等）をおこなうことが好ましい。また、熱アニールの温度は珪素膜の結晶化の温度の±30℃の温度でおこなうことが好ましい。

【0018】何も処理をおこなわなかった基板では550℃、8時間の熱処理1000ppm以上も収縮し、熱処理前と後にパターニングの工程が存在すると、マスク合わせが不可能となった。また、600℃、4時間の熱処理後の冷却速度の違いによる基板の縮みは表2のようになり、通常冷却以上の速度で急冷することによって実用的な縮みに抑えることができた。

【0019】

【表2】

各処理条件におけるガラス基板の縮み

基板前熱処理 640℃、4hr	加熱アニール 600℃・4hr	基板の縮み（ppm）
徐冷(0.2℃/分)	急冷 (50℃/分)	0（測定限界以下）～44
	通常冷却 (1～2℃/分)	60～90
	徐冷 (0.2℃/分)	300

【0020】上記の如く、歪み点以上の温度で熱アニールした後、徐冷する工程をおこなってから、パターニング工程を実施すれば、その後の熱処理工程（結晶化熱アニール等）においても問題はなかった。しかし、より歩留り良く半導体回路等を形成するには、下地膜は上述のような基板の熱アニールおよび徐冷の工程の後で形成することが好ましかった。

【0021】逆に、基板に下地膜を形成したのちに、上述の基板熱アニールと徐冷をおこなうことは好ましくなかった。これは、歪み点を越える高温での熱アニールと徐冷によって基板が（未処理の状態と比較して）大きく収縮して、下地膜がその収縮に追従できず、一部で下地膜が剥離するためである。また、下地膜上に非晶質珪素膜を形成して、これを結晶化せしめる場合には、基板の収縮とともに下地膜に過大な応力が蓄積されており、珪素膜の結晶化に伴う応力の変動に対して抵抗となり、結晶化の進行を妨げることが認められた。

【0022】このように、下地膜が不安定な状態であれば、その上に形成される素子の特性も不安定になる。したがって、基板に下地膜を形成してから、熱アニールと徐冷をおこなうことは適切でない。このことをより広範に拡大すれば、基板を歪み点を越える温度で熱アニールし、さらに徐冷する工程の前に、半導体回路を構成する物体はいかなるものであっても形成してはならないことを意味している。逆に、基板の収縮が十分におこなわれ

た状態で下地膜を形成した場合には、下地膜は珪素膜の結晶化に伴う歪みを吸収し、結晶化が良好に進展するのを促進する。

【0023】上記のような熱アニール処理を施したガラス基板はその後のより低温での熱処理によっても収縮することがないので、半導体素子・回路を形成するうえで非常に都合がよい。特に、下地膜を始めとする半導体素子を構成する物体に基板の収縮等による応力がかからないために素子の信頼性を上げることができる。

【0024】加えて、選択的に触媒性金属元素を添加しなければならない結晶化方式を採用する場合には、500～600℃の熱アニール工程（結晶化工程）をはさんで、パターニング工程が存在したために従来であれば、基板の収縮が大きな問題であったが、本発明によって、安定してパターニングでき、歩留り高く素子を形成することができた。

【0025】本発明においては基板の熱アニールと徐冷に時間がかかり、それが生産性の妨げになることが懸念される。しかし、本発明においては、基板には何ら半導体素子・回路に関する物体が形成されていないので、このような熱アニール工程は、ガラス工場において一括しておこなえるものであり、このことが半導体回路作製の生産性低下につながらない。

【0026】

【実施例】

【実施例1】本実施例は図1(A)～(E)に示されるガラス基板上に形成された結晶性珪素膜を用いたPチャネル型TFT(PTFTという)とNチャネル型TFT(NTFTという)とを相補型に組み合わせた回路を形成する例である。本実施例の構成は、アクティブ型の液晶表示装置の画素電極のスイッチング素子や周辺ドライバ回路、さらにはイメージセンサや集積回路に利用することができる。

【0027】図1に本実施例の作製工程の断面図を示す。本実施例におけるパターニング工程と主な熱処理工程(基板の熱アニール/徐冷工程を除く)は以下のようになる。

- (1)ニッケルドーピングマスクのパターニング(図1(A)参照)
- (2)結晶化アニール(550℃もしくは600℃、図1(B)参照)
- (3)活性層パターニング(図1(C)参照)
- (4)ゲート電極パターニング
- (5)コンタクトホールのパターニング
- (6)ソース/ドレイン電極・配線のパターニング(図1(D)参照)

このうち、(2)の熱アニール工程の前後にパターニング工程が存在するため基板が該熱アニール工程で収縮しないことが求められる。

【0028】まず、基板(コーニング7059)を歪み点(593℃)よりも高い600～660℃、例えば640℃で1～4時間、例えば1時間アニールし、その後、0.1～0.5℃/分、例えば0.2℃/分で徐冷し、450～590℃、例えば550℃まで温度が低下した段階で取り出した。この取り出し温度は、この後の熱処理工程の最高温度以下であることが望ましい。すなわち、本実施例では、結晶化アニール温度が、その後の最高温度となるので、結晶化アニール温度が600℃であれば、600℃以下の温度で取り出すことが望ましい。また、上記の熱アニール処理は酸素気流中でおこなった。この熱アニールは、基板の湾曲を防ぐために、水平から±30度以下の角度で行うことが望ましい。

【0029】このような処理を施した基板101を洗浄し、スパッタリング法によって厚さ2000Åの酸化珪素の下地膜102を形成した。つぎに、フォトレジストあるいはエッチングのできるポリイミドや感光性ポリイミド(フォトニース)によってマスク103を形成し、それをパターニングして、選択的に下地膜を露出させた領域100を形成した。(図1(A))

【0030】そして、スパッタ法によって、厚さ5～20Å、例えば10Åのニッケル膜を形成した。このニッケル膜は、極めて薄いので厳密には膜としての形状を示さない。上記の膜厚の数字は平均的なものである。この際には基板を150～300℃に加熱することが好ましかったので、マスク103はそれなりの耐熱性があるこ

とが好ましかった。その後、マスク103を取り除いた。そして、プラズマCVD法によって、厚さ300～1500Å、例えば800Åの真性(I型)の非晶質珪素膜104を成膜した。

【0031】そして、窒素不活性雰囲気(大気圧)、550℃で8時間、または600℃で4時間、熱アニールして結晶化させた。この際、ニッケル膜が選択的に成膜された100の領域においては、基板101に対して垂直方向に結晶性珪素膜104の結晶化が進行した。そして、領域100以外の領域では、矢印で示すように、領域100から横方向(基板と平行な方向)に結晶成長が進行した。ニッケルが直接形成された領域100の周辺、および結晶成長の先端の領域はニッケルの濃度の大きな領域105であった。(図1(B))

【0032】この工程の後に、珪素膜をパターニングして、TFTの島状の活性層104'を形成した。この際、チャネル形成領域となる部分に結晶成長の先端部(すなわち、結晶珪素領域と非晶質珪素領域の境界で、ニッケルの濃度が大きい)が存在しないようにすることが重要である。こうすることで、ソース/ドレイン間を移動するキャリアがチャネル形成領域において、ニッケル元素の影響を受けないようにすることができる。この工程における結晶成長距離、すなわち、ニッケル添加領域100から結晶成長の先端まではせいぜい100μmであった。

【0033】従来であれば、ニッケル導入マスク103のパターニングと活性層104'のパターニングの間に結晶化アニール工程が存在するために、1000ppm、すなわち、100mm角の基板においては上下で50μmもの基板収縮があったために、このような微細なパターニングが実施できなかった。しかしながら、本実施例では基板の収縮が70ppm以下、すなわち、上下4μm以下に抑えられているので、十分可能である。

【0034】活性層104'の大きさはTFTのチャネル長とチャネル幅を考慮して決定される。小さなものでは、50μm×20μm、大きなものでは100μm×1000μmであった。このような活性層を基板上に多く形成した。そして、TEOS(テトラ・エトキシ・シラン、Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)と酸素を原料としてプラズマCVD法によって厚さ1200Åの酸化珪素膜106を成膜し、ゲート絶縁膜とした。(図1(C))

【0035】引き続き、スパッタリング法によって、厚さ6000～8000Å、例えば6000Åのアルミニウム(0.01～0.2%のスカンジウムを含む)を成膜した。そして、アルミニウム膜をパターニングして、ゲート電極107、109を形成した。さらに、このアルミニウムの電極の表面を陽極酸化して、表面に酸化物層108、110を形成した。この陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液中でおこなった。得られた酸化物層108、110の厚さは2

000 Åであった。なお、この酸化物108と110とは、後のイオンドーピング工程において、オフセットゲイト領域を形成する厚さとなるので、オフセットゲイト領域の長さを上記陽極酸化工程で決めることができる。

【0036】次に、イオンドーピング法（プラズマドーピング法とも言う）によって、活性層領域（ソース／ドレイン、チャネルを構成する）にゲイト電極部（ゲイト電極107とその周囲の酸化層108、ゲイト電極109とその周囲の酸化層110）をマスクとして、自己整合的にPもしくはN導電型を付与する不純物を添加した。ドーピングガスとして、フォスフィン（ $\text{PH}_3$ ）およびジボラン（ $\text{B}_2\text{H}_6$ ）を用い、前者の場合は、加速電圧を60～90 kV、例えば80 kV、後者の場合は、40～80 kV、例えば65 kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、磷を $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15}$ とした。ドーピングに際しては、一方の領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングした。この結果、N型の不純物領域114と116、P型の不純物領域111と113が形成され、Pチャネル型TFT（PTFT）の領域とNチャネル型TFT（NTFT）との領域を形成することができた。

【0037】その後、レーザー光の照射によってアニールをおこなった。レーザー光としては、KrFエキシマレーザー（波長248 nm、パルス幅20 nsec）を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が200～400 mJ/cm<sup>2</sup>、例えば250 mJ/cm<sup>2</sup>とし、一か所につき2～10ショット、例えば2ショット照射した。このレーザー光の照射時に基板を200～450℃程度に加熱することによって、効果を増大せしめてもよい。（図1（D））

【0038】続いて、厚さ6000 Åの酸化珪素膜118を層間絶縁物としてプラズマCVD法によって形成した。この層間絶縁物としてはポリイミドまたは酸化珪素とポリイミドの2層膜を利用してもよい。さらにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTの電極・配線117、120、119を形成した。最後に、1気圧の水素雰囲気下で350℃、30分のアニールをおこない、TFTを相補型に構成した半導体回路を完成した。（図1（E））

上記に示す回路は、PTFTとNTFTとを相補型に設けたCMOS構造であるが、上記工程において、2つのTFTを同時に作り、中央で切断することにより、独立したTFTを2つ同時に作製することも可能である。

【0039】本実施例においては、ニッケルを導入する方法として、非晶質珪素膜104下の下地膜102上に選択的にニッケルを薄膜（極めて薄いので、膜として観察することは困難である）として形成し、この部分から

結晶成長を行なう方法を採用したが、非晶質珪素膜104を形成後に、選択的にニッケル膜を成膜する方法でもよい。即ち、結晶成長は非晶質珪素膜の上面からおこなってもよいし、下面からおこなってもよい。また、予め非晶質珪素膜を成膜し、さらにイオンドーピング法を用いて、ニッケルイオンをこの非晶質珪素膜104中に選択的に注入する方法を採用してもよい。この場合は、ニッケル元素の濃度を細かく制御することができるという特徴を有する。またプラズマ処理やCVD法による方法でもよい。

【0040】〔実施例2〕本実施例は、アクティブ型の液晶表示装置において、Nチャネル型TFTをスイッチング素子として各画素に設けた例である。以下においては、一つの画素について説明するが、他に多数（一般には数十万）の画素が同様な構造で形成される。また、Nチャネル型TFTだけではなくPチャネル型TFTでもよいことはいうまでもない。また、液晶表示装置の画素部分に設けるのではなく、周辺回路部分にも利用できる。また、イメージセンサや他の装置に利用することができる。即ち薄膜トランジスタと利用するのであれば、特にその用途が限定されるものではない。

【0041】本実施例の作製工程の概略を図2に示す。本実施例において、基板201としては日本電気硝子社製OA-2基板（歪み点635℃、厚さ1.1 mm、300×400 mm）を使用した。まず、基板を歪み点以上の温度の700℃で1時間アニールした後、0.2℃/分で600℃まで徐冷した。以上の熱処理によって基板の収縮は大幅に低減された。例えば600℃、4時間のアニールでは20 ppm、550℃、4時間のアニールでは10 ppmの収縮しか観察されなかった。

【0042】このような熱処理を施した基板201に下地膜202（酸化珪素）をプラズマCVD法で2000 Åの厚さに形成した。CVDの原料ガスとしてはTEOSと酸素を用いた。この後、選択的にニッケルを導入するために、ポリイミドにより、マスク203を形成した。そして、スパッタリング法によりニッケル膜を成膜した。このニッケル膜は、スパッタリング法によって、厚さ5～200 Å、例えば20 Åの厚さに形成した。このようにして、選択的に領域204にニッケル膜が形成された。（図2（A））

【0043】この後、LPCVD法もしくはプラズマCVD法で非晶質珪素膜205を1000 Åの厚さに形成した。そして、450℃で1時間脱水素化をおこなった後、加熱アニールによって結晶化をおこなった。このアニール工程は、窒素雰囲気下、600℃で4時間おこなった。このアニール工程において、非晶質珪素膜205下の204の領域には、ニッケル膜が形成されているので、この部分から結晶化が起こった。この結晶化の際、ニッケルが成膜されている領域204では、基板201に垂直方向に珪素の結晶成長が進行した。また、矢印で



示されるように、ニッケルが成膜されいていない領域（領域205以外の領域）においては、基板に対し、平行な方向に結晶成長が進行した。（図2（B））

【0044】この熱アニール工程の後、結晶化した珪素膜をバターンニングしてTFTの島状活性層205'のみを残存させ、その他を除去した。この際、結晶成長した結晶の先端部が活性層、なかでもチャネル形成領域に存在しないようにすることが重要である。具体的には、図2（B）の珪素膜205のうち、少なくとも結晶化の先端部とニッケルが導入された204の部分のエッチングで除去し、結晶性珪素膜205の基板に平行な方向に結晶成長した中間部分を活性層として利用することが好ましい。これは、ニッケルが結晶成長先端部および導入部に集中して存在している事実を踏まえ、この先端部に集中したニッケルがTFTの特性に悪影響を及ぼすことを防ぐためである。

【0045】その後、テトラ・エトキシ・シラン（TEOS）を原料として、酸素雰囲気中のプラズマCVD法によって、酸化珪素のゲート絶縁膜（厚さ70～120nm、典型的には120nm）206を形成した。基板温度は350℃とした。（図2（C））

【0046】次に公知の多結晶珪素を主成分とした膜をCVD法で形成し、バターンニングを行うことによって、ゲート電極207を形成した。多結晶珪素には導電性を向上させるために不純物としてリンを0.1～5%導入した。

【0047】その後、N型の不純物として、リンをイオンドーピング法で注入し、自己整合的にソース領域208、チャネル形成領域209、ドレイン領域210を形成した。そして、550℃で4時間のアニールをおこなうことによって、イオン注入のために結晶性の劣化した珪素膜の結晶性を改善させた。もともと結晶化を助長させる効果のあるニッケルを含有していたため、活性層の結晶化は容易であった。この熱アニールによって、このTFTのソース／ドレインのシート抵抗は300～800Ω/□となった。（図2（D））

【0048】その後、酸化珪素またはポリイミドによって層間絶縁物211を形成し、さらに、画素電極212をITOによって形成した。そして、コンタクトホールを形成して、TFTのソース／ドレイン領域にクロム／アルミニウム多層膜で電極213、214を形成し、このうち一方の電極214はITO212にも接続するようにした。最後に、水素中で200～400℃で2時間アニールして、水素化をおこなった。このようにして、TFTを完成した。この工程は、同時に他の多数の画素領域においても同時におこなわれる。また、より耐湿性を向上させるために、全面に窒化珪素等でパッシベーション膜を形成してもよい。（図2（E））

【0049】本実施例で作製したTFTは、ソース領域、チャネル形成領域、ドレイン領域を構成する活性層

として、キャリアの流れる方向に結晶成長させた結晶性珪素膜を用いているので、結晶粒界をキャリアが横切ることがなく、即ちキャリアが針状の結晶の結晶粒界に沿って移動することになるから、キャリアの移動度の高いTFTを得ることができる。本実施例で作製したTFTはNチャネル型であり、その移動度は、90～130（ $\text{cm}^2/\text{Vs}$ ）であった。従来の600℃、48時間の熱アニールによる結晶化によって得られた結晶珪素膜を用いたNチャネル型TFTに移動が、50～70（ $\text{cm}^2/\text{Vs}$ ）であったことと比較すると、これは大きな特性の向上である。

【0050】また、本実施例は、ドーピング不純物の活性化に熱アニールの手段を用いているが、これは、実施例1のようなレーザー光を用いる場合に比べて、穏やかな反応であり、特に、レーザーアニールにおいては、ゲート電極部の影の部分とレーザー照射される部分の境界の結晶性の不連続性が信頼性低下の原因となっていたが、本実施例ではチャネル形成領域もソース／ドレイン領域も同様に加熱されるので、特に信頼性の点で優れていた。

【0051】〔実施例3〕図3を用いて、本実施例を説明する。基板としては、コーニング社製1733番ガラス（歪み点640℃）を用いた。ガラスは歪み点以上の700℃で1時間アニールされた後、0.2℃/分で600℃まで徐冷された。そして、ガラス基板301上にプラズマCVD法によって下地膜302を形成し、さらに、プラズマCVD法によって厚さ300～800Åの非品質珪素膜304を成膜した。そして、厚さ1000Åの酸化珪素のマスク303を用いて300で示される領域にニッケル膜を実施例1と同様にして成膜した。次に550℃、8時間の加熱アニールをおこない、珪素膜304の結晶化をおこなった。この際、矢印305で示されるように、基板に対して平行な方向に結晶成長が進行した。（図3（A））

【0052】次に、珪素膜304をバターンニングして、島状の活性層領域306および307を形成した。この際、図3（A）で300で示された領域が、ニッケルが直接導入された領域であり、ニッケルが高濃度に存在する領域である。また、実施例1および2で示したように結晶成長の終点にも、やはりニッケルが高濃度に存在する。これらの領域は、その間の結晶化している領域に比較してニッケルの濃度が1桁近く高いことが判明している。したがって、本実施例においては、アクティブ素子、例えばTFTを形成するための領域である活性層領域306、307はこれらのニッケル濃度の高い領域を避けてバターンニングし、ニッケルの高濃度領域を意図的に除去した。活性層のエッチングは垂直方向に異方性を有するRIE法によっておこなった。（図3（B））

【0053】本実施例では、活性層306と307とを利用して相補型に構成されたTFT回路を得る。すなわ

ち、本実施例の回路はPTFTとNTFTが分断されている点で、実施例1の図1(D)に示す構成と異なる。すなわち、図1(D)に示す構造においては、2つのPTFTの活性層が連続してつながっており、その中間領域においてニッケル濃度が高いが、本実施例では、どの部分を取ってみてもニッケル濃度は低いという特色を有する。このため動作の安定性を高めることができる。

【0054】次いで、厚さ200～3000Åの厚さの酸化珪素または窒化珪素膜308をプラズマCVD法によって形成した。そして、可視・近赤外光のランプアニールをおこなった。赤外線的光源としてはハロゲンランプを用いた。波長は結晶性珪素によく吸収される0.5～4μm、好ましくは0.8～1.3μmを用いた。可視・近赤外光の強度は、モニターの単結晶珪素ウェハー上の温度が800～1300℃、代表的には900～1200℃の間にあるように調整した。具体的には、珪素ウェハーに埋め込んだ熱電対の温度をモニターして、これを赤外線的光源にフィードバックさせた。なお、赤外光照射は、H<sub>2</sub>雰囲気中にておこなった。H<sub>2</sub>雰囲気に0.1～10%のHCl、その他ハロゲン化水素やフッ素、臭素の化合物を混入してもよい。

【0055】本実施例では可視・近赤外光照射の際に、酸化珪素または窒化珪素の保護膜が活性層の表面に形成されており、このため、赤外光照射の際の表面の荒れや汚染を防止することができた。このようなランプアニール工程を併用することによって、熱アニールによる結晶化だけでは不十分であった結晶性を向上させることができた。(図3(C))

【0056】可視・近赤外光照射後、保護膜308を除去した。その後は実施例1と同様にゲイト絶縁膜309、ゲイト電極310、311を形成した。ゲイト電極としてはタンタルを用い、ゲイト電極の表面には陽極酸化法によって、酸化タンタルの被膜を1000～3000Å、例えば3000Å形成した。そして、実施例1と同様にイオンドローピング法によって不純物元素を導入し、ソース/ドレイン領域を形成した。

【0057】この不純物の活性化にはランプアニール法を用いた。赤外線的光源としてはハロゲンランプを用いた。波長が0.5～4μm、好ましくは0.8～1.3μmの可視・赤外光を30～180秒照射した。上記波長の可視・近赤外線は燐またはホウ素が10<sup>19</sup>～10<sup>21</sup>cm<sup>-3</sup>添加された非晶質珪素へは吸収されやすく、1000℃以上の熱アニールにも匹敵する効果的なアニールをおこなうことができる。その反面、ガラス基板へは吸収されにくいので、ガラス基板を高温に加熱することがなく、また短時間の処理ですむので、ガラス基板の縮みが問題となる工程においては最適な方法であるといえる。特に本実施例では事前に基板の収縮が起こらないような処理が施してあるのでなおさらである。

【0058】可視・近赤外光の強度は、モニターの単結

晶珪素ウェハー上の温度が800～1300℃、代表的には900～1200℃の間にあるように調整した。具体的には、珪素ウェハーに埋め込んだ熱電対の温度をモニターして、これを赤外線的光源にフィードバックさせた。なお、赤外光照射は、H<sub>2</sub>雰囲気中にておこなった。H<sub>2</sub>雰囲気に0.1～10%のHCl、その他ハロゲン化水素やフッ素や塩素、臭素の化合物を混入してもよい。(図3(D))

【0059】その後、層間絶縁物312を成膜して、これにコンタクトホールを形成し、メタル配線313、314、315を形成した。さらに、1気圧の水素雰囲気中で250～400℃、例えば350℃でアニールすることによって、水素化をおこなった。(図3(E))このようにして、相補型TFT回路を形成した。本実施例ではランプアニール(可視・近赤外光照射)の際に活性層の表面に保護膜が形成されており、表面の荒れや汚染が防止される。このため、本実施例のTFTの特性(電界移動度やしきい値電圧)および信頼性は極めて良好であった。

【0060】〔実施例4〕図5を用いて、本実施例を説明する。基板としては、NHテクノグラス社製のNA45ガラス(歪み点610℃)を用いた。まず、基板を歪み点以上の650℃の一酸化二窒素(N<sub>2</sub>O)雰囲気中で1時間アニールした後、0.2℃/分で500℃まで徐冷した。ガラス基板501上にプラズマCVD法によって下地膜を形成した。まず、基板上に窒化珪素膜502を1000Å成膜し、さらに酸化珪素膜503を1000Å成膜して、2層から成る下地膜を形成した。窒化珪素膜702を形成する理由は、ガラス基板からの可動イオン等による汚染をなくすためである。

【0061】そして、プラズマCVD法によって厚さ300～800Å、例えば、500Åの非晶質珪素膜504を成膜した。さらに、厚さ1000Åの酸化珪素のマスク505を形成した。そして、酢酸ニッケル溶液を用いたスピンコーティング法によって、酢酸ニッケル膜506を形成した。ニッケルの濃度は50～300ppm、例えば、100ppmとした。このとき、酢酸ニッケル膜506は数～数十Å程度と極めて薄いため膜になつてるとは限らない。(図5(A))

【0062】次に550℃、8時間の加熱アニールをおこない、非晶質珪素膜504を結晶化せしめた。この際、矢印で示されるように、基板に対して平行な方向に結晶成長が進行した。次に、マスク505(結晶化アニールの際の保護膜でもある)を除去した後、結晶性の向上のためにレーザー結晶化を施した。KrFエキシマレーザー光(波長248nm)を200～300mJ/cm<sup>2</sup>で照射することによって、結晶性珪素膜607が得られた。(図5(B))

【0063】その後、結晶性珪素膜507をハターニングして、島状の活性層領域511を形成した。この際、

図5 (B) で508で示された領域が、ニッケルが直接導入された領域であり、ニッケルが高濃度に存在する領域である。また、実施例1および2で示したように結晶成長の終点509、510にも、やはりニッケルが高濃度に存在する。これらの領域は、その間の結晶化している領域に比較してニッケルの濃度が1桁近く高いことが判明している。したがって、本実施例においては、アクティブ素子、例えば画素TFTを形成するための領域である活性層領域はこれらのニッケル濃度の高い領域を避けてパターニングし、ニッケルの高濃度領域を意図的に除去した。活性層のエッチングは垂直方向に異方性を有するRIE法によっておこなった。

【0064】次いで、ゲイト絶縁膜512として、厚さ200~3000Å、例えば、1000Åの酸化珪素膜をプラズマCVD法によって形成した。その後、厚さ1000Å~3μm、例えば、5000Åのアルミニウム(1wt%のSi、もしくは、0.1~0.3wt%のScを含む)膜をスパッタリング法によって形成した。そして、フォトリソistをスピンコーティング法によって形成した。フォトリソist形成前に、陽極酸化法によって厚さ100~1000Åの酸化アルミニウム膜を表面に形成しておく、フォトリソistの密着性が良くなる。その後、フォトリソistとアルミニウム膜をパターニングして、ゲイト電極513を形成した。エッチング終了後も、フォトリソistは剥離せず、ゲイト電極513上にマスク膜514として残存せしめた。

【0065】さらに、これに電解溶液中で電流を通じてポーラス陽極酸化し、厚さ3000~6000Å、例えば、厚さ5000Åのポーラス型陽極酸化物515を形成した。ポーラス陽極酸化は、3~20%のクエン酸もしくはシュウ酸、磷酸、クロム酸、硫酸等の酸性水溶液を用いておこない、5~30Vの一定電流をゲイト電極に印加すればよい。本実施例においてはシュウ酸溶液(30℃)中で、電圧を10Vとし、20~40分、陽極酸化した。ポーラス型陽極酸化物の厚さは陽極酸化をおこなう時間によって制御した。(図5 (C))

【0066】その後、マスク514を剥離してバリヤ陽極酸化をおこなった。この際には、基板をpH=7、1~3%の酒石酸のエチレングリコール溶液に浸し、白金を陰極、アルミニウムの電極を陽極として、徐々に電圧を上げて陽極酸化を進行させた。このようにして、緻密で耐圧の高いバリヤ型陽極酸化物616が形成された。

【0067】そして、ゲイト絶縁膜512をドライエッチング法によってエッチングした。このとき、陽極酸化物515、516はエッチングされず、ゲイト絶縁膜512のみがエッチングされ、島状の活性層511が現れた時点でエッチングを終了した。その結果、ポーラス型陽極酸化物515の下のゲイト絶縁膜512'はエッチングされずに残った。(図5 (D))

【0068】その後、ポーラス型陽極酸化物515をエ

ッチングして、除去した。そして、イオンドーピング法によって、島状の活性層511にゲイト電極部(ゲイト電極、バリヤ型陽極酸化物、酸化珪素膜)をマスクとして、自己整合的に不純物として硼素を注入して、P型不純物領域517が形成された。ここでは、ドーピングガスにジボラン(B<sub>2</sub>H<sub>6</sub>)を使用した。このとき、硼素のドーズ量は $1 \sim 4 \times 10^{15}$ 原子/cm<sup>2</sup>、加速電圧を10kVとした。ここで、加速電圧が低い、ゲイト絶縁膜の下部にはドーピングされず硼素は導入されず、オフセット領域が形成された。(図5 (E))

【0069】さらに、これを350~550℃、例えば、500℃、4時間の熱アニールをおこない、ドーピングされた不純物の活性化をおこなった。この際の基板の变形は極めて小さかった。さらに、より活性化を進めるためにKrFエキシマレーザー(波長248nm、パルス幅20ns)を照射した。レーザーのエネルギー密度は200~400mJ/cm<sup>2</sup>、好ましくは250~300mJ/cm<sup>2</sup>が適当であった。この際、ゲイト絶縁膜512'の下に存在するPI接合は、レーザー照射によって十分に活性化された。つぎに、層間絶縁膜519として酸化珪素膜を、プラズマCVD法によって3000Åに成膜した。

【0070】そして、層間絶縁膜519のエッチングをおこない、ソース領域にコンタクトホールを形成した。その後、アルミニウム膜をスパッタリング法によって形成し、パターニングをおこないソース電極519を形成した。(図5 (F))

最後にパッシベーション膜520として厚さ1000~6000Å、例えば、3000Åの窒化珪素膜をプラズマCVD法によって形成し、これと層間絶縁膜518をエッチングしてドレインにコンタクトホールを形成した。その後、インディウム錫酸化物膜(ITO膜)を形成して、これをエッチングして画素電極521を形成した。(図5 (G))

以上のようにして、Pチャネル型のオフセット領域を有する画素TFTが形成された。

【0071】〔実施例5〕図6を用いて、本実施例を説明する。基板としては、コーニング社製1733番ガラスを用いた。まず、基板を歪み点以上の700℃の窒素(N<sub>2</sub>)雰囲気中で1時間アニールした後、0.2℃/分で600℃まで徐冷した。その後、ガラス基板601上に下地膜を形成した。ここでは、基板上にスパッタリング法によって窒化アルミニウム膜602を1000Å成膜し、さらにプラズマCVD法によって酸化珪素膜603を1000Å成膜し、2層から成る下地膜を形成した。窒化アルミニウム膜702を形成する理由は、ガラス基板からの可動イオン等による汚染をなくすためである。

【0072】そして、プラズマCVD法によって厚さ300~800Å、例えば、500Åの非晶質珪素膜60

4を成膜した。さらに、厚さ1000Åの酸化珪素のマスク605を形成した。そして、酢酸ニッケル溶液を用いたスピンドーティング法によって、酢酸ニッケル膜606を形成した。(図6(A))

次に550℃、8時間の加熱アニールをおこない、非晶質珪素膜604の結晶化をおこなった。この際、矢印で示されるように、基板に対して平行な方向に結晶成長が進行した。

【0073】次に、マスクを除去した後、結晶性の向上のためにレーザー結晶化を施した。KrFエキシマレーザー光を200~300mJ/cm<sup>2</sup>で照射することによって、結晶性珪素膜607が得られた。(図6(B))

その後、結晶性珪素膜607をバターニングして、島状の活性層領域611を形成した。この際、実施例4と同様に、ニッケルの濃度が高い領域を避けて活性層を形成した。

【0074】次いで、ゲイト絶縁膜612として、厚さ200~3000Å、例えば、1200Åの酸化珪素膜をプラズマCVD法によって形成した。その後、厚さ1000Å~3μm、例えば、6000Åのアルミニウム膜をスパッタリング法によって形成した。そして、実施例4と同様な方法で、ゲイト電極613、フォトレジストのマスク614、ポーラス陽極酸化物615を形成した。(図6(C))

その後、マスク614を剥離してバリヤ陽極酸化をおこない、バリヤ型陽極酸化物616を形成した。そして、ゲイト絶縁膜をドライエッチング法によってエッチングしたその結果、ポーラス型陽極酸化物616の下側のゲイト絶縁膜612'が残った。(図6(D))

【0075】その後、ポーラス型陽極酸化物615をエッチングして、除去し、イオンドーピング法によって、島状の活性層領域611にゲイト電極部(ゲイト電極、バリヤ型陽極酸化物、酸化珪素膜)をマスクとして、自己整合的に不純物として硼素を注入して、P型不純物領域617が形成された。(図6(E))

【0076】さらに、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、不純物領域617の活性化をおこなった。さらに、ソース/チャンネル、ドレイン/チャンネル間の接合を良くするために、350~550℃、例えば、500℃で4時間の熱アニールをおこなった。つぎに、層間絶縁膜618として酸化珪素膜を、プラズマCVD法によって3000Åに成膜した。

【0077】そして、層間絶縁膜618のエッチングをおこない、ソース領域にコンタクトホールを形成した。その後、アルミニウム膜をスパッタリング法によって形成し、バターニングをおこないソース電極619を形成した。(図6(F))

最後にパッシベーション膜620として厚さ2000~

6000Å、例えば、3000Åの窒化珪素膜をプラズマCVD法によって形成し、これと層間絶縁膜618をエッチングしてドレインにコンタクトホールを形成した。その後、インディウム錫酸化物膜(ITO膜)を形成して、これをエッチングして画素電極621を形成した。(図6(G))

以上のようにして、Pチャネル型のオフセット領域を有する画素TFTが形成された。

【0078】〔実施例6〕図7を用いて、本実施例を説明する。基板としては、コーニング社製7059番ガラスを用いた。まず、基板を歪み点以上の640℃のアンモニア(NH<sub>3</sub>)雰囲気中で1時間アニールした後、0.2℃/分で400℃まで徐冷した。その後、ガラス基板701上に下地膜を形成した。ここでは、基板上にプラズマCVD法によって酸化珪素膜702を1000Å成膜し、さらにプラズマCVD法によって窒化珪素膜703を1000Å成膜し、2層から成る下地膜を形成した。

【0079】そして、プラズマCVD法によって厚さ300~800Å、例えば、500Åの非晶質珪素膜704を成膜した。さらに、厚さ1000Åの酸化珪素のマスク705を形成した。そして、酢酸ニッケル溶液を用いたスピンドーティング法によって、酢酸ニッケル膜706を形成した。(図7(A))

次に550℃、8時間の加熱アニールをおこない、非晶質珪素膜704の結晶化をおこなった。この際、矢印で示されるように、基板に対して平行な方向に結晶成長が進行した。

【0080】次に、マスクを除去した後、結晶性の向上のためにレーザー結晶化を施した。KrFエキシマレーザー光を200~300mJ/cm<sup>2</sup>で照射することによって、結晶性珪素膜707が得られた。(図7(B))

その後、結晶性珪素膜707をバターニングして、島状の活性層領域711を形成した。この際、実施例4と同様に、ニッケルの濃度が高い領域を避けて活性層を形成した。この際、RIE法によって、エッチングをおこなったが、窒化酸化珪素膜703のエッチングレートは珪素膜に比較して非常に小さかったので、下地膜のオーバーエッチは少なかった。

【0081】次いで、ゲイト絶縁膜712として、厚さ200~3000Å、例えば、1200Åの酸化珪素膜をプラズマCVD法によって形成した。その後、厚さ1000Å~3μm、例えば、6000Åのアルミニウム膜をスパッタリング法によって形成した。そして、実施例4と同様な方法で、ゲイト電極713、フォトレジストのマスク714、ポーラス陽極酸化物715を形成した。(図7(C))

【0082】その後、マスク714を剥離してバリヤ陽極酸化をおこない、バリヤ型陽極酸化物716を形成し

た。そして、ゲイト絶縁膜をドライエッチング法によってエッチングしたその結果、ポーラス型陽極酸化物716の下のゲイト絶縁膜712'が残った。(図7

(D))

【0083】その後、ポーラス型陽極酸化物715をエッチングして、除去し、イオンドーピング法によって、島状の活性層領域711にゲイト電極部(ゲイト電極、バリア型陽極酸化物、酸化珪素膜)をマスクとして、自己整合的に不純物として硼素を注入して、P型不純物領域717が形成された。(図7(E))

【0084】さらに、350~550℃、例えば、500℃、4時間の熱アニールをおこない、ドーピングされた不純物の活性化をおこなった。そして、より活性化を好ましくおこなうために、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射した。その後、ソース/チャネル接合、およびドレイン/チャネル接合の特性を改善させるために、350~550℃、例えば、480℃、1時間のアニールをおこなった。つぎに、層間絶縁膜718として酸化珪素膜を、プラズマCVD法によって3000Åに成膜した。

【0085】そして、層間絶縁膜718のエッチングをおこない、ソース領域にコンタクトホールを形成した。その後、アルミニウム膜をスパッタリング法によって形成し、パターニングをおこないソース電極719を形成した。(図7(F))

最後にパッシベーション膜720として厚さ2000~6000Å、例えば、3000Åの窒化珪素膜をプラズマCVD法によって形成し、これと層間絶縁膜718をエッチングしてドレインにコンタクトホールを形成した。その後、インディウム錫酸化物膜(ITO膜)を形成して、これをエッチングして画素電極721を形成した。(図7(G))

以上のようにして、Pチャネル型のオフセット領域を有する画素TFTが形成された。

【0086】

【発明の効果】上記のように基板を歪み点以上の温度で熱アニールして、徐冷することによって以後の熱処理による基板の収縮が非常に小さくなった。一般には、実施例に示したようなニッケルを導入するパターニング工程(マスク合わせ工程)は、他のパターニング工程に比べると、それほど精度は要求されない。一方、コンタクトホールの開孔やゲイト電極の形成のパターニングは数μm以下の精度が要求される。このため、従来はドービ

ング不純物の活性化は実質的に熱的なプロセスを伴わないレーザーアニールが中心であった。

【0087】しかしながら、本発明によって、かなりの温度まで基板収縮を抑制できるようになったため、実施例2に示したような熱アニールや実施例3に示したようなランプアニールという、より量産に適した手段を用いることができるようになった。このように、本発明は絶縁基板上の半導体装置の形成に極めて効果がある。

【図面の簡単な説明】

【図1】 実施例1のTFTの作製工程を示す。

【図2】 実施例2のTFTの作製工程を示す。

【図3】 実施例3のTFTの作製工程を示す。

【図4】 従来の基板収縮によるパターニングのずれの例を示す。

【図5】 実施例4のTFTの作製工程を示す。

【図6】 実施例5のTFTの作製工程を示す。

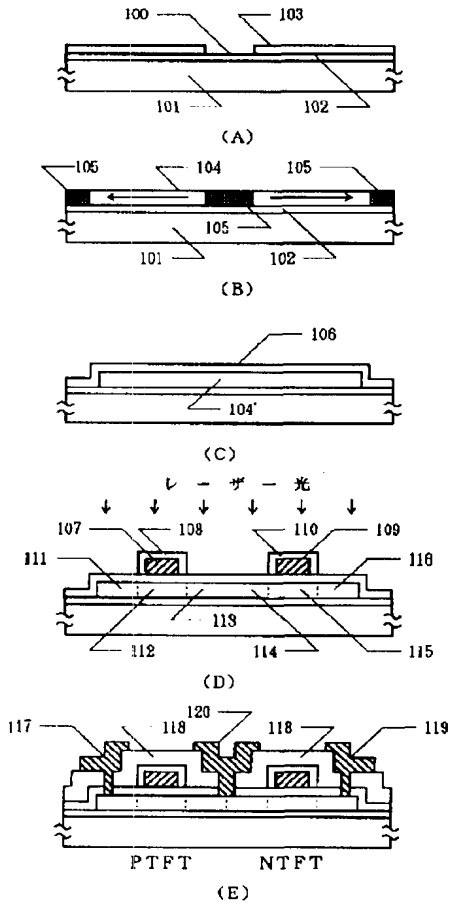
【図7】 実施例6のTFTの作製工程を示す。

【図8】 本発明に用いる熱アニール炉の構成例を示す。

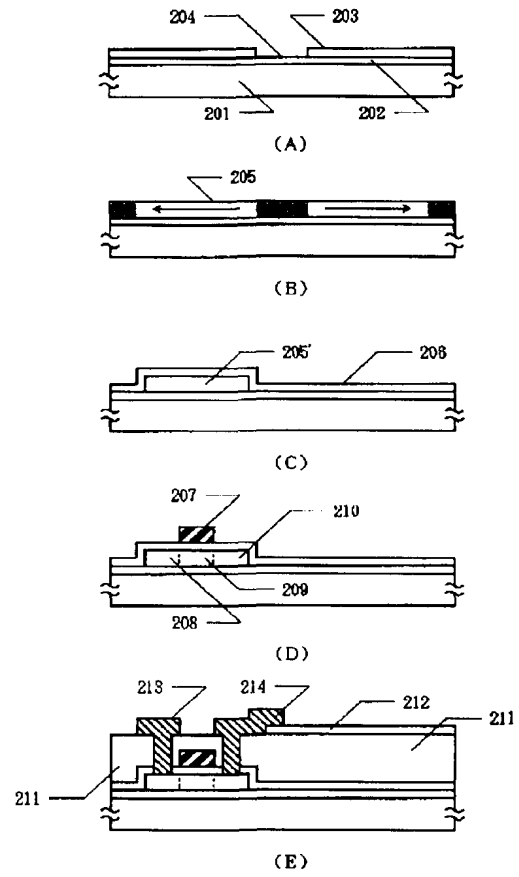
【符号の説明】

100	ニッケル導入部分
101	ガラス基板
102	下地膜(酸化珪素膜)
103	マスク
104	珪素膜
104'	島状珪素膜(活性層)
105	ニッケルの濃度の高い領域
106	ゲイト絶縁膜(酸化珪素膜)
107	ゲイト電極(アルミニウム)
108	陽極酸化層(酸化アルミニウム)
109	ゲイト電極
110	陽極酸化層
111	ソース(ドレイン)領域
112	チャネル形成領域
113	ドレイン(ソース)領域
114	ソース(ドレイン)領域
115	チャネル形成領域
116	ドレイン(ソース)領域
117	電極
118	層間絶縁物
119	電極
120	電極

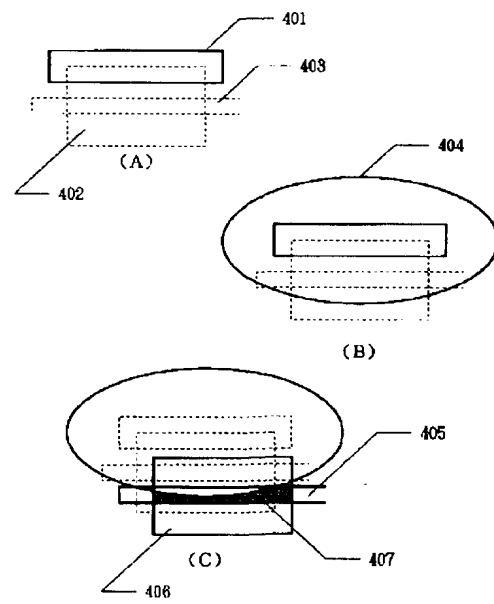
【図 1】



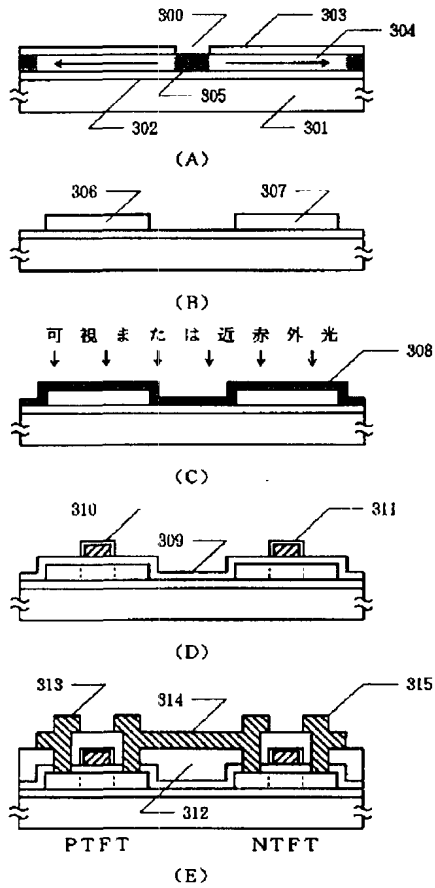
【図 2】



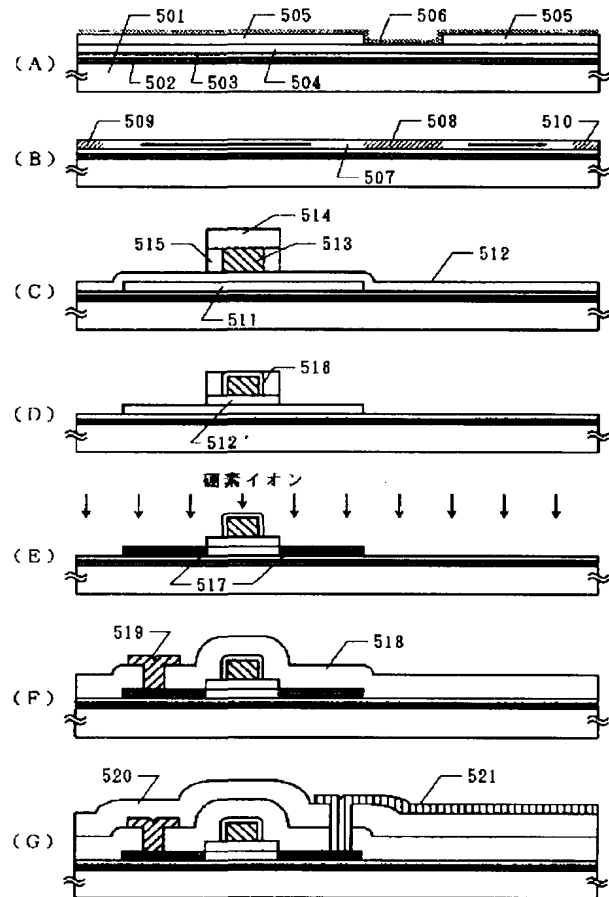
【図 4】



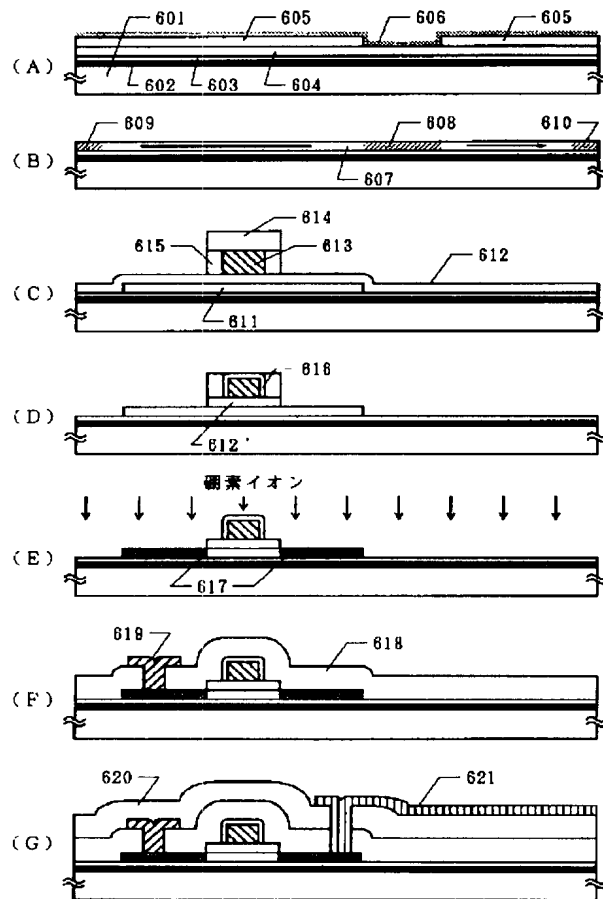
【図3】



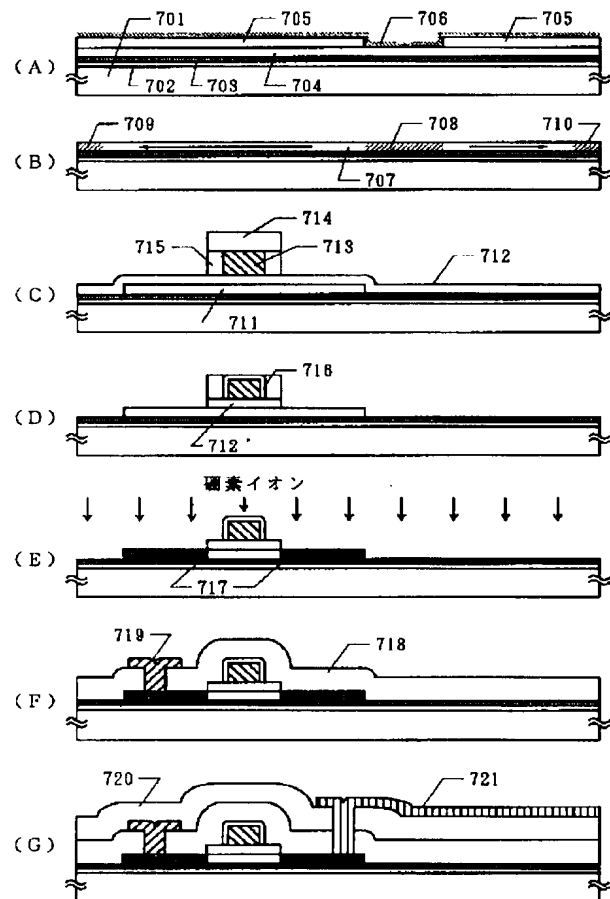
【図5】



【図6】

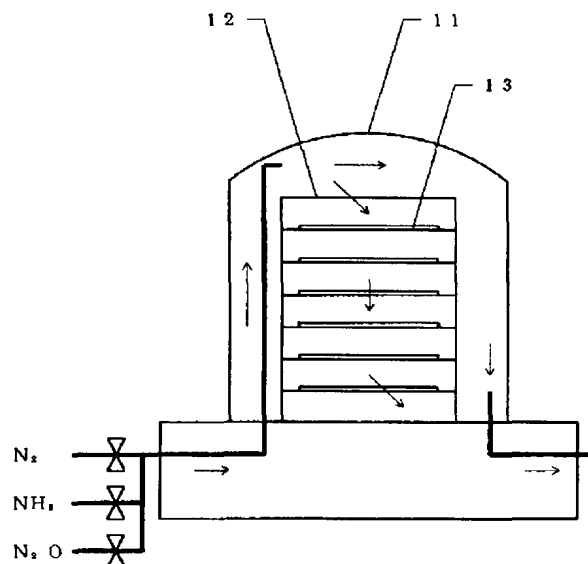


【図7】





【図8】



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H01L 27/12

識別記号 庁内整理番号  
R

F I

技術表示箇所

(72) 発明者 宮永 昭治  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 大谷 久  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 張 宏勇  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 竹村 保彦  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内